Учреждение образования

«Белорусский государственный технологический университет»

**Лабораторная работа №10**

«Моделирование комбинационных схем»

Выполнил:

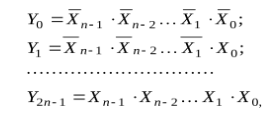
Студент 2 курса 1 группы ФИТ

Парибок Илья Александрович

**2022 г.**

Комбинационной схемой называется логическая схема, реализующая однозначное соответствие между значениями входных и выходных сигналов. Дешифратор – логическая комбинационная схема, которая имеет n информационных входов и 2n выходов и преобразует один код в другой. Каждой комбинации логических уровней на входах будет соответствовать активный уровень на одном из 2n выходов. Как любая логическая схема, дешифратор может быть задан таблицей истинности.

Работа полных дешифраторов может быть описана совокупностью переключательных функций:

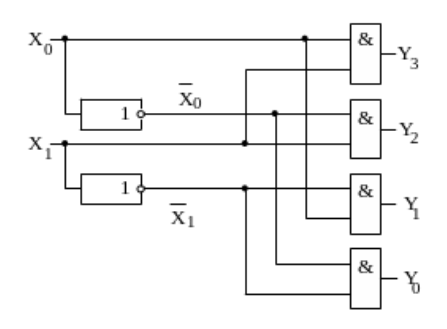


где Xi - значения входных сигналов дешифратора; Yi - значения выходных сигналов.

+В качестве примера можно привести простейший дешифратор на 2 входа (Х0, Х1) и 4 выхода (Y0, Y1, Y2, Y3). Логика работы этого дешифратора отражена в таблице истинности.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Входы | | Выходы | | | |
| X1 | X0 | Y0 | Y1 | Y2 | Y3 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

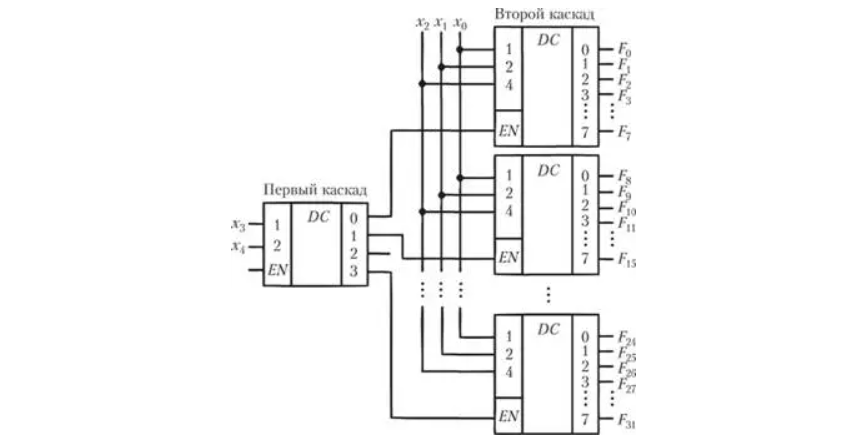
**2-х разрядный шифратор**:

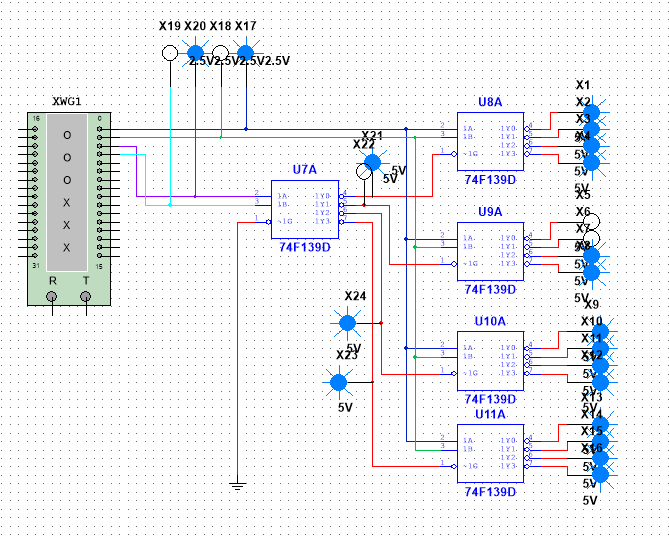


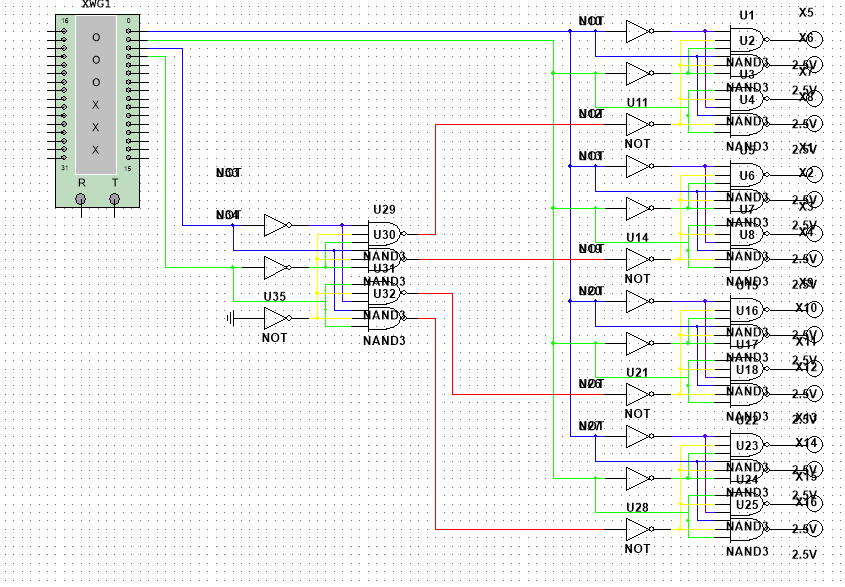
В вычислительной технике дешифраторы используются для расшифровки кодов и выдачи управляющих сигналов в различные цепи. Они применяются в устройствах управления ЦВМ для дешифрации кода операции и выдачи сигналов в цепи машины, участвующие в выполнении данной операции. Дешифраторы также широко применяются в качестве адресных коммутаторов запоминающих устройств.

Для построения n-разрядного дешифратора используются комбинации более простых 2 разрядных дешифраторов.

**Схема 4-х разрядного дешифратора:**

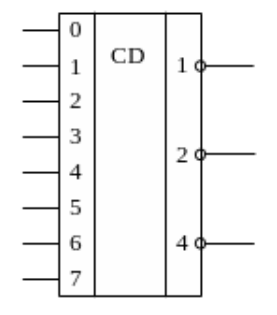




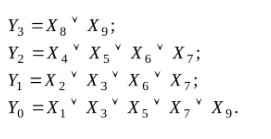


**Шифраторы**

Шифраторами называются операционные узлы, преобразующие поступающий на вход унитарный код (одна единица в каком-либо разряде) в соответствующую комбинацию выходных z-разрядных сигналов. Условное обозначение шифратора показано на рисунке.

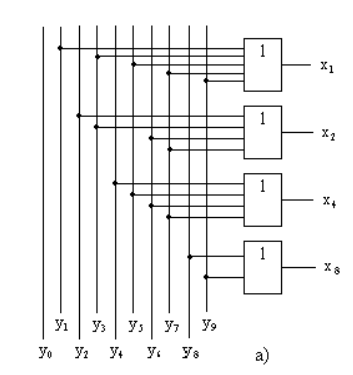


Шифраторы используются для кодирования информации и преобразования кодов. Для синтеза шифратора можно использовать таблице, в каждой строке которой указывается комбинация выходных сигналов в зависимости от сигнала на входе шифратора.

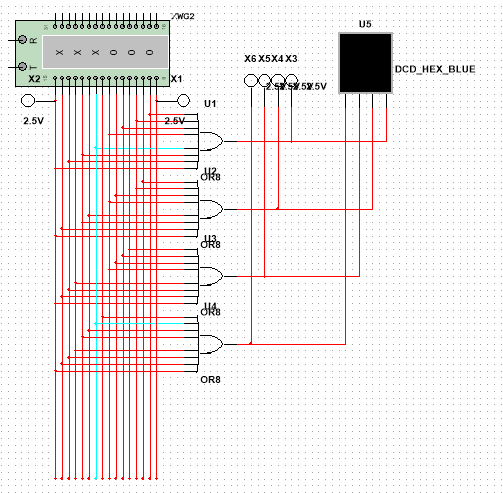


|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы Xi | Выходы | | | |
| Y3 | Y2 | Y1 | Y0 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 |
| 11 | 1 | 0 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 |
| 14 | 1 | 1 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 |

На основе полученной таблицы составили схему шифратора.

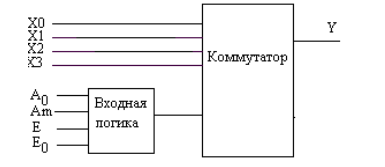


**4-х разрядный шифратор:**



**Мультиплексоры**

Мультиплексором называется функциональный узел, предназначенный для поочередной коммутации (переключения) информации от одного из n входов на общий выход. Номер конкретной входной линии, подключаемой к выходу, определяется адресным кодом A0, A1, … , Av-1. Обобщенная схема мультиплексора (MUX) состоит из коммутатора и управляющей входной логической схемы.



Входные логические сигналы Xi поступают на входы коммутатора и через него передаются на выход Y. Управление коммутатором осуществляется управляющей логической схемой. На вход логической схемы подаются адресные сигналы Ak.

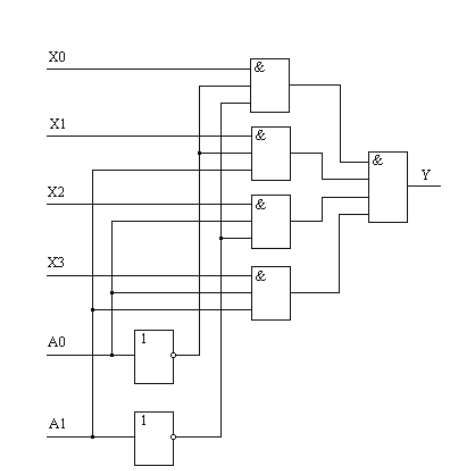
Мультиплексор может иметь дополнительный управляющий вход E, который может выполнять стробирование выхода Y. Кроме того, некоторые мультиплексоры могут иметь выход с тремя состояниями: два состояния 0 и 1 и третье состояние – отключенный выход (выходное сопротивление равно бесконечности). Перевод мультиплексора в третье состояние производится сигналом OE.

Мультиплексоры могут быть односторонними (от входа к выходу) или двусторонними (от входа к выходу и от выхода к входу). Мультиплексоры со стробирующим входом E выполняют функцию передачи сигнала от входа к выходу только при поступлении сигнала строба E. Мультиплексоры с тремя состояниями можно каскадировать.

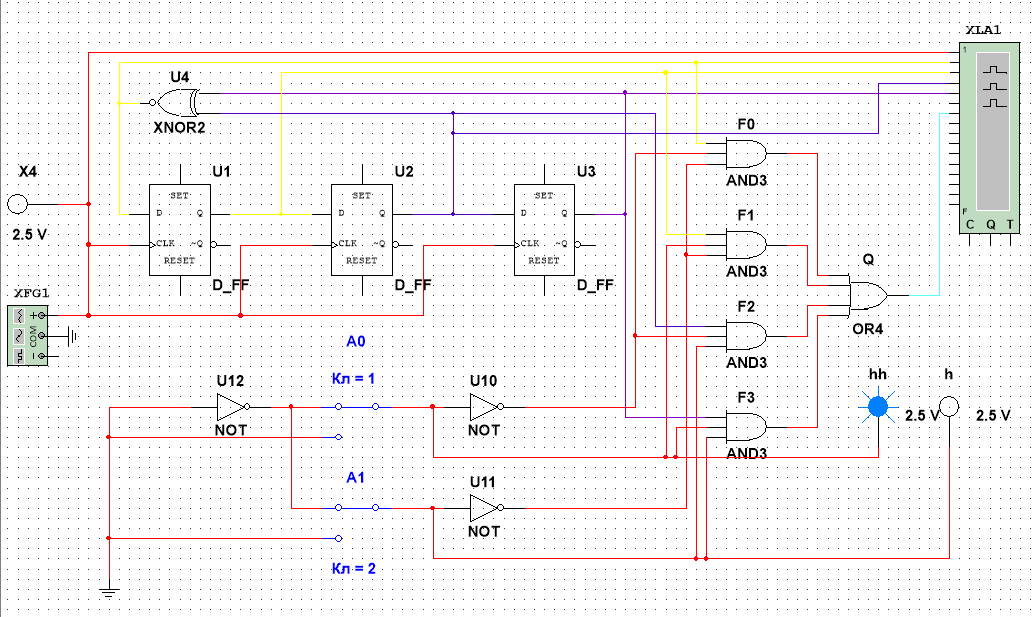
В зависимости от числа информационных входов n и адресных входов m, мультиплексоры делятся на полные и неполные. Если n = 2 m , то мультиплексоры называются полными. Если n < 2 m , то мультиплексор называется неполным.

Наибольшее распространение получили мультиплексоры (2на1) c n = 2 и m = 1, (4на1) c n = 4 и m = 1, (8на1) c n = 8 и m = 1, (16на1) c n = 16 и m = 1.

**Схема мультиплексора 4 на 1:**



**Мультиплексор 4 на 1:**



В качестве примера рассмотрим работу мультиплексора (4на1). Логика его работы представлена в табл. 13, где A0, A1 – входы адреса, F0, F1, F2, F3 – выходы внутреннего дешифратора, X0, X1, X2, X3 – входная информация, Q – общий информационный выход.

Таблица истинности:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A1 | A0 | F3 | F2 | F1 | F0 | Q |
| 0 | 0 | 0 | 0 | 0 | 1 | F0X0 |
| 0 | 1 | 0 | 0 | 1 | 0 | F1X1 |
| 1 | 0 | 0 | 1 | 0 | 0 | F2X2 |
| 1 | 1 | 1 | 0 | 0 | 0 | F3X3 |





**Демультиплексоры**

Демультиплексором называется функциональный узел, который обеспечивает передачу цифровой информации, поступающей по одной входной линии, на несколько выходных линий. Выбор выходной линии осуществляется при помощи сигналов, поступающих на адресные входы. То есть демультиплексор осуществляет преобразование, обратное действию мультиплексора. Обобщенная схема демультиплексора состоит из коммутатора и входной логики.

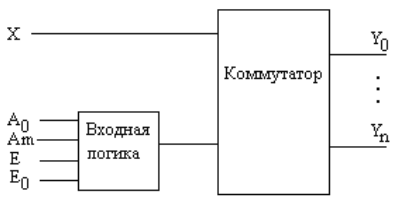
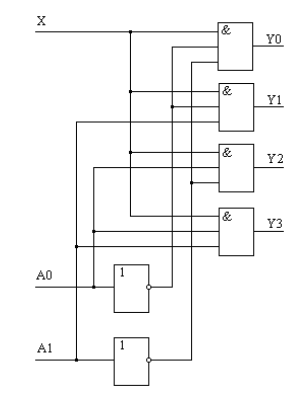
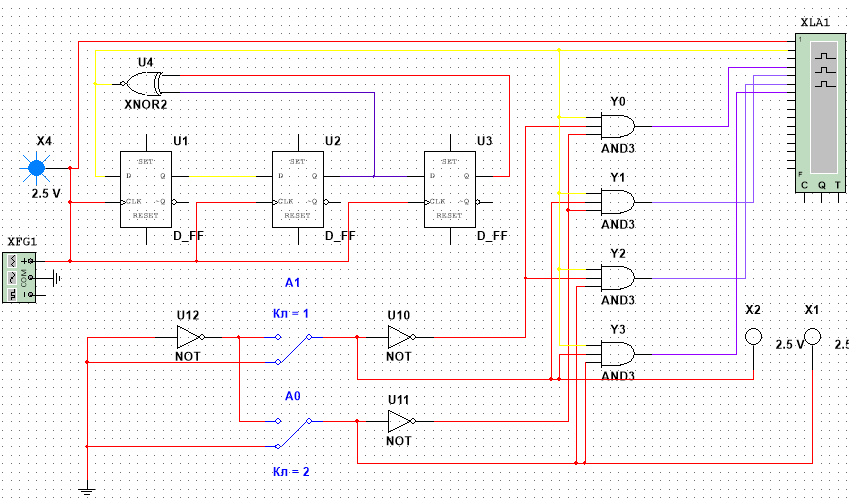


Схема демультиплексора 1 на 4:



Демультиплексор 1 на 4:



В качестве примера рассмотрим работу демультиплексора (1на4). Логика его работы представлена в табл. 14, где A0, A1 – входы адреса, F0, F1, F2, F3 – выходы внутреннего дешифратора адреса, X – общий информационный вход, Y0, Y1, Y2, Y3 – выходная информация.

Таблица истинности:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A1 | A0 | F3 | F2 | F1 | F0 | Y3 | Y2 | Y1 | Y0 |
| 0 | 0 | 0 | 0 | 0 | 1 |  |  |  | F0X0 |
| 0 | 1 | 0 | 0 | 1 | 0 |  |  | F1X1 |  |
| 1 | 0 | 0 | 1 | 0 | 0 |  | F2X2 |  |  |
| 1 | 1 | 1 | 0 | 0 | 0 | F3X3 |  |  |  |

Упрощенная таблица истинности:

|  |  |  |
| --- | --- | --- |
| A0 | A1 | Yn |
| 0 | 0 | Y0 |
| 0 | 1 | Y1 |
| 1 | 0 | Y2 |
| 1 | 1 | Y3 |

На основе таблицы выражения для выходных функций Yi можно представить с использованием адресных входов A1, A0:

